## SEMICONDUCTOR DEVICE AND ITS FABRICATION

Patent Number:

JP7249770

Publication date:

1995-09-26

Inventor(s):

FUNATO NORIHIDE: others: 02

Applicant(s)::

TOSHIBA CORP

Requested Patent:

<sup>4</sup> JP7249770

Application Number: JP19940067879 19940310

Priority Number(s):

IPC Classification:

H01L29/78; H01L21/316

EC Classification:

Equivalents:

## **Abstract**

PURPOSE:To obtain a vertical MOSFET in which fluctuation of threshold voltage is suppressed by composing a gate insulating film of a heat treated CVD insulating film and a thermal oxide film thereby reducing the charge being charged up at the gate insulating film.

CONSTITUTION:A drain region 11 is provided on the main surface of a semiconductor substrate 10 and a base region 12 is provided on the drain region 11, and then a source region 13 is provided on the surface of the base region. A gate insulating film 20 is then deposited on the inner wall face of a trench, and its periphery, penetrating the base region from the surface of the source region and reaching the drain region. A gate electrode G is then provided on the gate insulating film 20 composed of a thermal oxidation film 21 formed heat treating the surface of the semiconductor substrate 10 in oxidative atmosphere, and an annealed CVD insulating film 22 on the thermal oxidation film 21. Since the gate insulating film has stabilized electrical and mechanical characteristics, charge-up is suppressed.

Data supplied from the esp@cenet database - |2

(43)公園日 平成7年(1985) 9月26日

<u>н</u>

いて衛用等す

**本:祖务署** 

S 7352 4M ₹

21/316 H 0 1 .. 25/78 (51) Int. (1\*

7352

×

321 V H 0 1 L 29/78 警查翻波 木瓣浆 翻求項の數4 FD (全8 頁)

**等後川県川島町全区塩川町72番巻** 株式会社東芝 (71) 田園 A, 10000J3078

平成6年(1994)3月10日

**李重学** 67879

**本韓蓋**甲(12) (22) dh

神奈川県川亀中華区小向東芝町1番地 株 第27 記事 (72)発明素

式会社東芝多摩川工場内 米田 取締 (72)発明者 单条川県川県市県市 中区小向東芝町 1 番地 式会社帐艺多摩川工場内

医神经 经 (72)発明者

神奈川県川県市帝区小内東芝町1番地 株 式会社来記多層川工編内

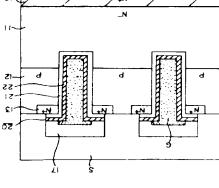
(74)代理人 非理士 竹村 #

(54) [発明の名称] 半幕体装置及びその製造方法

翼シネセ、Lまい歯離HV16の姿態を超えた構型MOS [日的] アード部等機にチャージアップされる無値を ドドーを有する半導体装置及げその製造方法を提供す

15. この上のペース価値12と / ス価値の技画値 1個項137、11 X個項表面から11 A個項 2割が遅して形成した影像化験の1及びこの影像化験上 [構成] 半導体基故10mは、主面上のドレイン倒壊1 お壁池上及げ、のトロニザ周のに形成されたゲート絶縁 異ないと、ゲート絶縁展上のゲート無後のとを値えてい る。ゲート絶縁膜は、半導体基板の表面を輸化性雰囲気 3.1.4.7.C.V.D.絶縁機が無確化機などを形成してど 各貫通に、ドロイン国場中にその底面が達するトロッチ る。このアート都藩県は韓代的、楊潔的等在が安定して マカドロド、チャージアセアがれる義位の推査が会決し たンない。また、CVD純锑膜表面に軟化膜を推構する エプれた(VD絶縁膜22から構成されてい

・ プラー会が整定器ロスしらし、からのはくさ



技術故永館所

【料節の小部用】

前部第1の半導体層上に形成され、パード開発として用 前部半導体基故の第1の主面上に形成され、ドレイン簡 後として用いられる第1番舞型の第1の半導体値と、 [請求項1] 第1導電型の半導体基板と いられる第2導電型の第2の半導体層と、

前部第2の半導体層の英面面域に減更的に形成され、ソ ス関域として用いられる第1導電型の不組動拡散領域 前記手組動拡散領域表面からこの不組動拡散領域及び前 記簿との半導体層を貫通し、前記簿1の半導体層中にそ の底面が過するように形成されたトレンチの内壁面上及 ほこのトレンチ周辺の前記不純物拡散領域上に形成され たゲート網繰機と、

前記と、下絶縁機上に形成され、かつ、前配トレンチ内 及びトレンチ周辺に形成されたサート警権と、

前部半導体基板の第2の主面上に形成されたトレイン職 問記第2の主導体層 LLT形成され、タなくとも前側フー A領域に電気的に接続されたソース電極と、

前記ゲート絶縁襲は、前記トレンチ内を含む第2の半導 存権の女面を観信在雰囲気が影響を開いて形成した態観化 膜及びこの熱酸化膜の上に形成された熱処理されたCV D絶縁膜から構成されていることを特徴とする半導体装 【簡米等2】 前部CVD避嫌機は、いりョン金化膜叉 ロシリコン酸化酸であることを特徴とする糖水質1に割 表の子母体装置。 【翳米墳3】 半導体基板の第1の主面上にドレイン館 域と「「用いられる第1導電型の第1の半導体値を形成 **問題第1の主義各種上にディース質賞として用いられる第** 前記第2の半導体層の表面簡優にソース簡優として用い られる第1導電型の不超絶拡勝留験を選択的に形成する 2.導電型の第2の半導体層を形成する1.程と、

前部土純物拡散関域表面からこの不純物拡散関域及び前 記第2の半導体層を貫通し、前記第1の半導体層中にそ の底面が重するトレンチを形成する「程!」

雰囲気中における勢処理により歴成する工程と、 前記 前記第2の節編題の上に第8の影響 前部トレンチの内壁面上及びこのトレンチ構造の前部不 第1の前縁脚の下に第2の前縁題であるのVD前縁膜を 紙物以散倒域上に第1の絶縁膜である繁錬化膜を酸化性 膜である熱酸化酸を酸化性雰囲気中における熱処理によ 形成する1程と、

前記第3の絶縁膜を第2の絶縁機の下から取り除く1程

前割第2の絶縁膜上に、前記トレンチ内及びトレンチ周 切に ゲート電極を形成する工程と

**外開** 平7 249770

3

前記半導体基板の第2の主面上に下にイン管権を形成す **商記第2の半導体雇士に、テなくこも創設ファス面景に** 電気的に搭載されたソース電極を形成する1担と、 る1粒とを備え、

前記第2の絶縁機は、前記第8の絶縁襲を製造する1程 における熱処理によってアニールされることを特徴とす 前記第1及び第2の絶縁膜とでゲート絶縁膜を構成し る半導体装置の製造方法。

域として用いられる第1専覧型の第1の半導体層を形成 【糖米塩4】 半導体基板の第1の主面上にドレイン館 する1種と、

**問題第1の半導体第上につ、図面等)して用いられる様** られる第1尋鶩型の下紙物払敷留域を減損的に形成する 前記第2の半導体層の表面倒域にソース倒域として用い 2時間型の第2の半導体層を形成する工程と、 一種)

前記不純物仏教領域表面からこの下純物仏教領域及び創 記算2の半導体層を貫通し、前記第1の半導体層中にそ の底面が連するトレンチを形成する1 棹と、 前記トレンチの底面を含む内壁面上及びこのトロッチ周 観を観化性 雰囲気中における 熱処理により 形成する 1 特 以の前記不純物如後倒域上に第1の絶縁膜である熱酸化

前記第1の絶縁膜の上に第2の絶縁膜であるCVD絶縁 膜を形成する1粒と、 **前割第2の絶縁膜の上に第3の絶数機である(VD酸化** 観を形成する「報告

問記等の記録験を第2の前籍職の上から取り繋へ上枠 前記第2の絶縁機上に、前記トレンチ内及びトレンチ周

的影響立の半導体腫上に、少なくとも前點 2~ 3 倒縁に 電気的に接続されたツース電極を形成する工程と、 辺にゲート電像を形成する1程と、

前記半導体基板の第2の上面上にドレイン電極を形成す

前記第2の絶鎌្原は、前記第3の絶縁襲を製造する1得 における熱処理によってアニールされることを特徴とす 前記第1及び第2の絶縁膜とでが、下絶縁膜を構成し る「程とを備え、

る半導体装置の製造方法。 【発明の詳細な説明】

葬効果とごこごそ2を有する半導体装置の断面U子状の 【産業上の利用分野】本発明は、厳型の絶験ゲート型電 **ナレンチ型ゲート構造に関するものである。** [0000]

[0002]

り低けい数抗化が進んでいる。とくに、低動HのMOS 【従来の技術】 節節ゲート型無罪効果トナニジスタ(以 ド、MOSFETという)は、韓親加し技術の選歩によ FETの低オン低低化が顕著であり、現在では、フォト レジストの制制から単位セルのサイズ編小に限界の見え

1.4.7号部にも形成されている複合と、下着薄膜1.6.で 楽磨なだらる。と、下輪等には、金子匠、七周巻など へれたボジョ じゅかからなちょ トレンチェオ四部に る。職合うとこでする内のグート無機相互は、連続的 ド形成されている。複合ゲート整整第16の展下値の第 **第68章(SiO2 幕)から構成されている。この上に第** 4 驛)がCVI)(CemicalVapour Deposition) ビコり形 「0008」、ビザ海洋海岸の東北流が第2万十半年海 がりにかりしゃゆかし へを構成している。マトリタ それに配置されたトレニチ14ほ、第2の半導体層12 おと、その角は全人は11mmに4mmに4の残りは金人は 4ヵmである。 ~ <田頂18ほ、第2の半導体幅12 ひ表面簡単に形成され、各トレンチ14の両側に高って 聖難されている。 2、14個後13日、このトロンチョ4 には、こはば長り形の平面パターに を有する多数の単位 **せるに分割されており、マトリクス状に規則正しく配置** 単を込まれ、複合ゲート絶縁膜15の上に形成されてい い、第3八前縁膜163が形成されている。この部縁舞 ひ表面から第140年海停庫1140円路に生で先成されて されている。第2で半導体権にロジ技術には、ドロンチ しく感染難しらしは、影響化による形成とだけについ 扱みれてかる。 きらに、この第2の前機関した立の上 ロン部製鋼コモロであるトリング M(水板) OF13 N

のこより形成とおくいる。 (0004) ゲート機能のに、イス色像18万橋田にいるのはましている世間上及びイヤドル形図面像の能のです・解発薬102/20102 (20102) を102/20102 (20102) (

はな102 職からなり、第2の節節膜を回じ儀にCVD

国第13にコンタットにくいるオーなどの金属からなるフィーは種様のローンス個様13とともに終りの半導体第12 技術にも月銀行コンタクトにても、「れに10、基礎回域・スペ国域に対応するコンタクトにても、「れに10、基礎回域・スペ国域に対応するコンタクトにても、「れに10、対しての機構を発展している。第12年半導体第11のドレイン関域に構成が12となる。フィーを開いました。各十年のフィーの場所に対して、本種を3及びドレイン構造のログ・下配線18により共通に搭数されている。フィーを指定は、各十年のファーを指摘して、本の正規18により共通に搭数されているので、各七年の、セ列接続のよっている。

1.と同じ様に無償化により形成することができる。この 凝型MOSFFT&グート絶縁験15は、トレンチ14 O2 題) 151、窒化機 (Si3 M4 験) 152及び酸 ことのなら聴き移している。この機能機をあるは、図し 0 のように C V D で成長させる場合と第1の絶縁験1.5 ゲート絶縁膜15日トレンチ14の内壁面にのみ形成さ れるのではなく、そのトレンチ層の部周辺にも形成され る。この部分特にトレンチ14の部分を中心にした価値 Rを拡きして図1.1にです。この図にです様に層の部分 る盤化膜は、障表面にピンセールが形成されることが多 内面及びその周辺の半導体基板表面上に熱酸化膜(Si 化膜(SiO2 膜)153が積層された複合絶縁膜によ り構成されている(図10参照)。 高巻・1 の存在3番 の複合絶縁膜は、それぞれ酸化膜及び窒化膜の部分をと の熱酸化膜151は、他の部分に比較して遅くなってい る。そのため、ゲート網線膜を無機化膜だけや構成する 鎌倉にはこの薄い部分が原因でゲート劇片が悪くなる。 その結果、温美に素質化器151の下に比較的の 1・形 成されるも仏であるCVDFましていまして監修(S 1.00元,是接迁上の繁體学が保护。万體放棄在が光明。

子様任務が形成される職権に決めることができる。 (職代) 紅幹部気や終りの子導等第1コシッシュ・子導等後囲ん 記載するで、(職業等)が半導等数値からその投頭に入り 学者、(政治)[職化)リンジを決談される((図12)

仏が進まず解釈の勘面形状がか響い 1億化している (図 低電圧機動ができなくなるために、余り遅くすることは が、このような跨電率の異なる複合絶縁膜に電視が横れ 2。こから金銭EIVEの保製品・等本人記載本の声で観 層は、半導体層12内部=入り込むが、その層部は、瞼 13 (b))。 したがって、この部分の埋みを上分にす できない。この様に、概型MOSFETは、サート部部 機にONO膜などの複合膜を用いているのが現在である であり、MOSFETのしまい価値HVtHがゲート衝撃 人な問題となる。本発明は、この様な事情によりなされ かものつきち、ゲー・組御機に子 とこアップがれる無 荷を核少させ、しきい値電用Vthの変動を抑えた鍵型M ○SFETを有する半導体装置及びその製造方法を提供 (\*))。このとき、加勢が進行に達れて繋作シリコン ると、複合膜の各絶縁膜中の電視平衡が成立するように Suntern 後のゲート語解釈に舞台の描えられること なたがいは、他の部分はきをに呼べてなければならな 50、ゲートのチャネル部の絶縁膜が厚くなり過ぎると 発面に 種類のチャープイップされることが知られてい 題中の中で有機によって変動することを意味してい することを目的にしている。

出口に形成され、ドレイン価値として用いられる第1章 電型の第1の半導体層と、前部第1の半導体層上に形成 され、・シース倒破として用いられる第2導電型の第2の 形成され、ソース関係として用いられる第1事業型の不 植物以敷御城上、自記不補物以敷伽海安固からこの不補 27手の内壁面上及びこのト1-27手周辺の前記千組動取散 知味上に形成されたゲート維隆機と、前部ゲート維健膜 177.光成され、から、創創とよい子内は14.7.1.1.1.4.周 お下形成されたゲート職権と、的記簿2の半導体層上に れたコース智権と、自即半導体基権の第2の主面上に赤 トレンチ内を合む第2の半導体層の表面を酸化性雰囲気 形成された熱処理されたCVD絶縁膜から構成されてい 第1母電型の半導体基板と、前記半導体基板の第1の主 半導体層と、自動等2の半導体層の表面倒域に構製的に 物仏教領域及び前記第2の半導体層を貫通し、前記第1 の半導体層中にその近面が強するよっに 水収された トロ 形成した。少なくとも前記2、 4 間隔に着気的に接続さ で熱処理して形成した熱酸化膜及び、心熱酸化膜の上に 【課題を解決するための手段】本発明の半導体装置は、 成されたどしてい質権とを備え、前部ソート絶縁勝は、 てくさる特徴したらいる。 自然にVロ神秘舞は ン変化膜又はシリュン酸化膜を用いても良い。

【0009】本発明の半導体装置の製造力法は、半導体法数であって上面上に下して、個域として用いても

連するトレンチを形成する1程と、削配トレンチの内壁 2の静静膜であるCVD静静膜を形成する1程と、創制 第2の絶縁膜の上に第3の絶縁膜である態態化臓を輸化 ひ半導体層上につく 3個域として用いられる第2時間型 の第2の半導体層を形成する1程と、前記第2の半導体 層の表面関係にソニス関係として用いられる第1導無型 の土植物弘教御味を講択的に形成する1段と、前記1組 物仏教団権安国からこの下純物仏教団域及び前記簿との 半導体層を買通し、前記第1の半導体層中にその底面が 面上及びこのトレンチ周辺の前割土組動拡散電域上に第 1の静御展である熱酸化験を酸化性雰囲気中における熱 が埋により形成する工程と、前記第1の絶容襲の上に第 件雰囲気中における熱処理により形成する1程と、前紀 辺にゲート開催を形成する1程と、削配第2の半導体層 1、ス集権を形成する1程と、前和半導体基故の第2の 主面上に ドレイン電極を形成する工程とを備え、前記簿 1及び第2の絶縁膜とでゲート絶縁膜を構成し、前記第 この絶縁膜は前記第3の絶縁機を製造する1程における 熱処理によってアニュルグれることを第1の特徴として 1番舞型の第1の半導体基を形成する1階に、自転整1 前記第2の絶縁膜上に、前記トレン子内及びトレンチ周 EFC、少なくとも創起ソニス関係に電気的に後継された 第3の絶縁膜を第2の絶縁膜の上から散り除く1倍と

1、用いられる第2導電型の第2の半導体層を形成する。 5.熱酸化腫を酵化性等間気中によける熱処理により形成 るこVII部線膜を形成する1程と、削配第2の結構観の 1000年間2017年~下電機を形成する1程と、前転第2の 【0010】また、半導体基数が終りの主面上にドL イ して用いられる第1導電型の不純物拡換留域を選択的に 形成する1種と、前配不純物仏教団境表面からこの不純 物拡散倒域及び前配第2の半導体層を貫通し、前配第1 の半導体層中にその底面が違するトレンチを形成する1 アノナ西山の自然不進制的教館検上に終1の影響観であ するに指し、自己第1の影響限の上に第2の影響をあ 『程き、前記第2の絶縁襲上に、前記トレンチ内及び下 半導体層 1.17、少なくさも創設が、子質域に電気的に接 緩されたソース開極を形成する1程と、創配半導体基数 え、前記第1及び第2の総御膜とでが、下絶縁膜を構成 1、前部第2の静物腫は、前部第3の絶縁観を製造する ン関係として用いられる第1専制型の第1の半導体基金 程と、前粒トレンチの底面を含む内壁面上およびこのト 「役における熱処理によってアンニルされることを第2 形成する1程で、創配第1の半導体権11につ、ス価減と 1 程と、助記第2の半導体層の表面倒域にソース価値! と、前記第3の節節膜を第2の影響膜の上から散り隔く [1] 第34/新練職であることに酸化職を形成する1 程 の第2の上面上にドレイン電極を形成する1程とを値 の特徴としている。

[0011]

[2100]

※末配職部分も含せ幣面図である。2011、M O S 集積回 もら。まず、図1及を図3ドコド本発明の実験倒を競明 十么。因11日,安国中配展部分全省略几九半導体基板の 子子説、図8日、図1でA・A)集に高く群分子図2に 関助算すので無限している。 チョア・この第1の主導体層 11.01にチャネル価値に用いられるP型の第2の半導 [清陽例] コー、図面を書頭して本発明の実施倒を認明 子面的,因立位,一些主導体基故上不配變的分を正した。 光成されている半導体基数10に数けられた複数のトレ そりずは、その表面に、倒えば、熱り止血関節にマト このよれに配置されている。Nリンサログキ専体基板1 o 小巻 i 小主面下に どいイン留場に用いられる似土越参 **教室でもこれが、10年度の第1つにあるないのが数 発展しのが土産物の敷にコヘド形成されている。この実** 発室では発出の子音存庫しまけ、第1の子音存庫11名 第18年海洋第111日第28ヶ日とととして以前第条 る。 いごタモンアル半番体番11、12が第1の土面に 天政十七 ここにょうて、これを第コハナ連各種とする。 部分的に1番薯田塾を打ち、トレコンに赤腹されるが、 71477

る。アート集集のは、宝さば、七萬巻がドープスれたが は、第2の半導体層12の表面から第1の半導体層11 am、その保みは、個文は、約4mmである。ソニス部 簡単18ほごこのとしいそ14に1~ (ほぼ長り飛の平 | 部はトレッチエルの関ロ部周辺の複合が、下絶 砂糖20~15に形成されている。場合や、上鉛砂糖2の 小原丁華の第1の高等版の1四、意識化11.1の形成され **の内部により形成されて起り、そり幅は、倒えば、約1** そとに、チェキの周辺に高って配置されている。ソース 第2の半導体腫12の表面は、ト・シチー4の内部にも こうでからなり、一部はトレニチュ4内部に埋め込 カッドント 賃付票(Sio9 職) から 集成され たいる。 マトに第2の総数減22であるシフェン強化減(Si 唯13/4、第2の半導体権12で表面領域に形成され、 一角位からはマトリクス状に規則が、これ響きれている。 形成されている後合プート絶縁機20で被覆されてい 【0018】 イトリクス状に配置されたトレンチェル からを しを有する多数の単位をよけ分割されており 3 N4 種)がCVDF 19 形成されている。

この 石灰出土やtest シネルや収留機の第2の半導体離1 【0014】ゲート製物の下、ソース個換18の製出し

**収されている。ゲート配験18セン・・4電極8などの配** は半導体基板10上のトレンチ列間のトロ船艦されてお (リンシリケートガラマ) 膜などからなる薄き粉600 の絶縁膜17のコンタクトホールを介してゲート難操の ト配等18が形成されている(図2)。同様に、この絶 縁膜11のコンタクトホールを全じてパーコ的域18ピ コンタクトしていてAIなどの会員のジェッ監権らが形 図2に示すように、この絶縁膜17の上には、A1のサ 上創簾18が形成されており、ゲート配簾18は、A 1のかっといかどの3に接続している。ケー配等18 れていない。また、ワーイ準権Sにはソースピッド24 1)、 梅糖の、金さば、2~のというをを1~6~~ が形成されている。 マトログ・甘い 形成されたなトロン n mの新練膜(層間維練膜) 1.7 好形成されている。こ 夢は、層間絶縁膜17の上にパターニングされている。 そしずは、ジー子智権しなの中に形成されている(図 2の韓田している表面上を鞭う様に「何すば」PSG に 質気的に指摘されているAI などからなら金属 ニゲー 倒滅に形成する事も可能である。

Fの第11の半導体層1111離子が流れる。この解型M れ、ドエイン領域・基板領域・アース関域に寄生するは PNトランジメタビよる影響を発展している。第1の半 導体層11のドレイン領域に電気的に搭載されるA1な 期も、第2の主面上に形成されている。ソード監督も及 れ、各セルのゲート監権のロゲート配験18F30共通 る。前部はデヤイの襲撃MOSFETは、ソース発動S を接地! - ドレイン関係口及びか、下監督のに正の観圧 を母類する。この様な腹がイアスの時にダート電圧を上 げていくと、第2のド専体艦12のゲート監撫はに対向 するトレンチェイの側面のチャネル簡単がP型から同型 のSFFTのや、上絶疑疑なのは、トロンチ14均重及 2段)21及び金出版(Si3N4段)22が積極され アス金属のドレイン電極10は、半導体基板10の差面、 れにより、基板領域・ソース領域相互関が知路接続は びドレイン舞権のは、各セルに対して一体的に数けら に接続されているので、各セルロ、並列接続されてい ロの半導体腫しの技術に共通についかがしこではる。 184の周辺の半導体気を表面上に熟験化験(S 1 O た着合語器製により集成されている。

面図、図4日、ゲート絶縁職の結晶構造を説明する平面 【0016】ゲード発酵機20は、熱処理されたCVD 亀気的:機械的特件が安定していちとはに、チャージン このとれる関係の推進が従来しゅうない。 かぎじ 一図4 **月色図りを書明して自計場施例の半導体装置の製造り技** を説明する。図4乃を図8は、半導体装置の製造1桿節 図である。埋み割159ヵmの以りつり 177 年 海路基板 高級版ののと発展を確立してから 衰敗されているがら、

名、例えば、R 1 B (Reactive Ion Etching) 私などに キシャル第11に 中型チャネル関係所収陥や来る第2の n!\*タオンドル層11を成長させる。更に、このエピタ 専体層12の表面領域にこの半導体層の表面から!・メ 通し、第1の半導体層11に過ずる機製のトレンチ14 半毒体腫12を形成する。例 257、ドドド・・・・・・・・ チ: ソ゚イロドリ) 1 軽及びイよいほきを用いて第 2 のす 1、「包装18の表面から第2の半等体施12を買 10の第1の1面に第1の半導体層であるお型、ミコニ 1.8形成1、「七名マトリクィ状に配置する (図1等 **領域:なるN-11組制拡散関域13名形成する。41** W. N4)

【ロロエノ】 内に、トレンチェルの内容出を含れ等にの を形成する(図4)。第270年導体腫1に政治は、酸化 こ、1981年 1984年 第三年 1984年 半導体層しこ支近しど第1の維護膜である熱酸化膜に1 性雰囲気中、約1000℃で熱処理されて熱酸化膜21 が形成される。この熱処理位後は、人体りロロー110 Dなによるシリコンなどの選化職(CVD選化職)2.2 リコ:殿木篋生ニリコ・職などの構製を井収するの私で ○ しむが適当である。次に、この無触化膜21の上にCV あり、ド地の状態にかかわらず的 - に堆積されるが、膜 (\*) に示すようにCVロ筺化膜の結晶粒子間は、ピン 1150で以下 例えば 1000でで1時間将液酸化 を堆積させる (図も) 。これは第2の絶縁膜22であ 質(吸の製化料)の水で制御作職に劣る。即れ、図9 6、前部森伯**滕2.2を除化件雰囲気中**。9.5 u t.以上。 ホールなどが存在し、職僚性にかける傾向にある。 巻 して第3小純緑膜26である繁體化離を形成する(図

成していたが、本発明では、第3の純糠膜25を第2の [0018]ここで、谷本の最中MOSFFTでは、そ カゲート前導膜として第1及び第2の前離膜とともに第 3の絶縁級もその中に合きれて、いよりそのNの鞭を構 絶縁膜22の上に形成してから、この第3の静縁25 なみらずシア処理などの方法によって散り除くことに勢 は、こじつ の無酸化酸を除去するには、この絶縁線と るCVD窒化酸とのエッチング選択状の高い材料で、例 ば、5%もしくはそれ以下の事故(HF)を用いる。1。 **処理により均。にアニールされる。その結果、CVD強** らたみがり ケチェブルれるように独立の結構膜に立てあ で現場側では、倒えば、刺100mmが導みがある。第 の小前移職のおれ、この第80巻移職のもつ所収略の意 化膜22は、図9にボずように、ピンホールが存在する 観覧さの欠ける粒子構造であった ものが、アー・ルによ 節がきる (凶名)。 第3の軟\def膜25~、の実態生で たがって、この模型MOSFETのが、下純砂線20 引作、ウェットエルチング美元、その材料には、例え は、第1年前練願21と第2の前録膜22からなり。

特開 IV 7 249770

3

**子間の粒質が部分的に配着して、10 ルール かかない夢** 【0019】及に、リンなどの下部書店ドーゴルれたは 帝族の高い職員に収算される。

**長い。その後、この層間絶縁観17の一部にゲート影響** の主導体施しよの政団にどの環体との影響機(超函数 リンドコ 験10615。テナオが十分に埋まるように 5、1:レブチェ4の周辺にまで準備させる。このボリン 5、トレンチ14及びその周辺にゲート無価となるよう にポリンタコン膜16をエッナバックする。次に、第2 **藤腴)17をCVD在などで形成する。 絶縁襲材料!!** では、PSG製以外にBPSG製などの材料を用いても も。その後、乾鉢製11の上にA1个A1~81台会な ンを無着する。改に、半導体基故10の第2の1面全面 F. A.1 ペ A.1 - S.1 (3) 金なパシトレイン管権口を形成す どを材料とするグート配線が及びアニス電機がからか。 リコン膜16ね、ゲート監査として用いられる。そし らかい 三角種ののためのコンタクトホールを関ロす

は、簡化膜を用いるが、窒化膜を用いても良い。CVD に、CVD絶縁膜のみがエッチングされるように第2の 【0020】次に、前紀実施例の半導体装置の他の製造 方法について説明する。前の方法では、第2の絶職機で 31子5のド第3の絶縁後とし VD絶縁膜を用いる。このCVD絶縁膜を第2の絶縁膜 F 堆積する際にその成長温度が大体9 0 0 10 あるいは 9 60年前後に高い場合なら、この熱で第2の絶縁機をア 絶縁眼は、第2の絶縁膜上に中収されてから、エッチン たっぴつこの熱酸化膜を用いたが、この実験倒では、C ユチモニンができる。CVD発導観の材料とLC ア処理などにより除去される。熱酸化膜の除去と回線 あることに会化験をアー

"アップルお客館位の雑種が従来にカナない。また、前 【発明の効果】本発明は、ゲート斡旋膜が、熱処理され た CVD 絶縁膜と常像化膜の立層から構成されているの 部CVD絶職機表面に簡化験を収扱させることによって 75. 葡萄的:種種的特件が安定しているとはに、チャー CVD熱療機が熱処性されるので、このCVD影響機 11、均一ドアニールされる。

絶縁機であるCVD強化機ドのエッチング維択比の高い

日料でトッチングする。

[0021]

【図面の簡単な観測】

【図1】 本発明の実施例の半導体装置に用いる半導体基 [図2] 図1の半等体及数の数面の配象面域を示すが同 数の平面図。

【図4】 実施例の半導体装置の製造1程動面図。 [以も] 実施例の半導体装置の製造工程軌面図。 【図4】実施倒の半導体装置の製造「程勢面図。 [図7] 実施例の主導体装置の製造工程軌面図。

(区タ(b) じょすように少なくとも表面は、結晶粒

**æ** 

[823] 米隆金の主命各株難シケート部構製の名田義和	1.3	アンス質器
全觀明十名平面以。	1.4	トレンチ
[2210] 女子の中華体験書の歌曲の歌曲の	15, 20	<b>才、下絕藻膜</b>
[311] 310の半導体装置のピート配降限の製剤も	1.6	単編4 か
6.全数则十么部分平面図。	1 7	維持膜(層間絶縁膜)
[成12] 図10の半導体装置のゲート動機機の総分が	1 8	ゲート配験
	2 1	第1の絶縁膜
[初步/敦明]	53	第2の絶縁膜
于事存死极	2.3	7 FA:7F
多いの (では、1914年) 東北東ので東	<del>ज</del> १३	7:4
1. ( ) ( ) ( ) ( ) ( ) ( ) ( ) ( ) ( ) (	2.5	整備場のお釈

発えの半導体層 (P型シリコンエピタ

[1   8]	
[2图]	23-24-24-24-24-24-24-24-24-24-24-24-24-24-
[	

